

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-060068

(43)Date of publication of application : 15.03.1991

(51)Int.Cl.

H01L 27/10
// H01L 27/06

(21)Application number : 01-194800

(71)Applicant : NEC CORP

(22)Date of filing : 27.07.1989

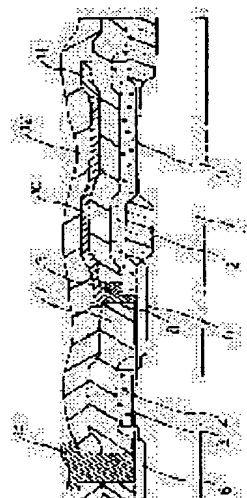
(72)Inventor : YAMAZAKI TORU

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To enable the production of a required high resistance even when a memory cell of a BiCMOSSRAM is micronized by providing a polycrystalline silicon film for restraining the diffusion of impurities in a connection part of a gate electrode of a driving MOSFET with a high-resistance load element.

CONSTITUTION: In a connection part 8 of a gate 5 of driving MOSFET with a high-resistance element 10 consisting of a polycrystalline silicon film not including impurities, a polycrystalline silicon layer 9 is arranged which restrains the impurities (phosphorus) doped in the gate electrode 5 from diffusing toward the side of a high-resistance element by a heat treatment during a manufacturing process. This process can be effected very easily without an increasing number of PR processes. Accordingly, an area of an SRAM cell can be made a half of a conventional one or less. Also in a bipolar CMOSRAM, the high-resistance element and an emitter electrode of a bipolar transistor can be formed by using the same polycrystalline silicon as in a conventional method and the reduction of an area of a memory cell becomes possible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-60068

⑬ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月15日

H 01 L 27/10

3 7 1

8624-5F

// H 01 L 27/06

7735-5F H 01 L 27/06 3 2 1 J

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体メモリ装置

⑮ 特 願 平1-194800

⑯ 出 願 平1(1989)7月27日

⑰ 発 明 者 山 崎 亨 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 桑井 清一

明 細 書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

一端が高不純物濃度の電源用配線に接続され他端が電界効果トランジスタの高不純物濃度層に接続された低不純物濃度の高抵抗負荷素子を有し、該高抵抗負荷素子と上記電界効果トランジスタとでメモリ回路の構成された半導体メモリ装置において、

上記高抵抗負荷素子の両端の少なくとも一方が不純物の拡散を抑制する多結晶シリコン層を介して上記電源用配線または高不純物濃度層に接続されていることを特徴とする半導体メモリ装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は半導体集積回路装置に関し、特にスタティック型ランダムアクセスメモリを備えたバイ

ポーラCMOS回路装置(以下、BiCMOSS RAMという)に関するものである。

[従来の技術及び発明が解決しようとする問題点]

SRAMのメモリセルは2組の高抵抗負荷素子および駆動用MOSFETで構成されるフリップフロップ回路と、その1対の入出力端子にそれぞれ接続される1対の転送用MOSFETとで構成されている。前記高抵抗負荷素子はメモリセル面積を縮小して高集積化を計るために、電源電圧用配線と一体に形成された例えばCVDによる第2層目の多結晶シリコン膜で構成されている。この抵抗素子は駆動用MOSFETのゲート電極を覆っている層間絶縁膜上に配置され、また10~100ギガΩ程度の高い抵抗を有している。

この高抵抗負荷素子として使用される多結晶シリコン膜は高抵抗を有するように、抵抗値を低減用のn型不純物(As, P)を導入しないで形成されている。一方、電源電圧用配線として使用する多結晶シリコン膜は前記不純物を導入して構成さ

れている。

しかしながら構成素子の微細化にともなう、抵抗素子の長さが短縮されてくると、所定の高抵抗値を得ることが困難になるという問題点があった。すなわち、高抵抗負荷素子の一端は駆動用MOSFETのゲート電極に接続されており、このゲート電極に導入されている不純物（リン）が微細化にともない製造工程中の熱処理時に高抵抗素子部に拡散する。さらに、抵抗素子の他端部が電源配線に接続しているので、電源配線に導入された不純物（As, P）も同様に高抵抗素子部に拡散する。尚、拡散する不純物量は前者の方が多い。多結晶シリコン膜中の不純物拡散計数は単結晶中の拡散計数に比較して約10倍高いことが確かめられている。このため、抵抗素子の長さが4 μ m程度以下になると抵抗値が急激に低下する。

この問題点を解決するための一手段として膜中の不純物拡散計数が小さいSIPOS (Semi Insulating Poly Silicon) 膜を抵抗素子として用いることも考えられ

るが、高抵抗素子とバイポーラトランジスタのエミッタ電極とを共用するBiCMOSSRAMにおいては、エミッタ不純物の拡散も同時に抑制されてしまうため、この方法が適用できない。

従って、本発明の目的は上記問題点を解決し、BiCMOSSRAMのメモリセルを微細化しても必要な高抵抗を発生させられる技術を提供することである。

〔発明の従来技術に対する相違点〕

上述した従来の高抵抗負荷素子を用いたSRAM用メモリセルに対して、本発明は駆動用MOSFETのゲート電極と高抵抗負荷素子の接続部に不純物拡散を抑制する多結晶シリコン膜を設けるという相違点を有する。

〔問題点を解決するための手段〕

本発明の要旨は、一端が高不純物濃度の電源用配線に接続され他端が電界効果トランジスタの高不純物濃度層に接続された低不純物濃度の高抵抗

〔発明の作用〕

上記構成に係る半導体メモリ装置は製造高抵抗中に高抵抗負荷素子と電源用配線または高不純物濃度層とが高温化にさらされても、高抵抗負荷素子への不純物の拡散は多結晶シリコン層で抑制される。

〔実施例〕

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の第1実施例のSRAMセルを示す縦断面図である。4は配送用MOSFETのゲート電極、5は駆動用MOSFETのゲート電

極である。駆動用MOSFETのゲート5と不純物を含まない多結晶シリコン膜で形成された高抵抗素子10との接続部8にゲート電極5に導入されている不純物（リン）が高抵抗素子側へ製造高抵抗中の熱処理によって拡散するのを抑制する多結晶シリコン層9が設けられている。不純物拡散を抑制する多結晶シリコン層9としてはSIPOS (Semi Insulating Poly Silicon) を用いることができる。SIPOS膜中の不純物拡散は成膜時のN₂Oガス流量の影響を受ける。第6図はSIPOS中のリンの拡散長とN₂Oガス流量の関係を示す。同図が示すように成膜時のN₂Oの流量を30SCCM以上にすれば従来方法で形成された多結晶シリコン中のリンの拡散長（N₂Oを含まない場合）の1/4以下に抑えることができる。

次に本実施例の製造方法を第4図(a)(b)を用いて説明する。第4図(a)に示すようにP型基板1上に駆動用MOSFETのゲート5、転送用MOSFETのゲート4、ソース・ドレイン

電極6を順次形成した後、高抵抗素子と駆動用MOSFETのゲート5とを接続する窓8を形成する。次に全面にSIPOS膜9を成長する。成長条件はLPCVD法により、例えば、SiH₄流量400～300SCCM、N₂O流量30～40SCCM、N₂流量500SCCM、成長温度600℃において2000～4000Åの膜厚成長する。次に第4図(b)に示すように全面をCF₄、SF₆等のエッチングガスを用いてドライエッチによりエッチバックし、接続窓8内にのみSIPOS膜9を残す。この高低はPR工程数の増加もなく極めて容易に行うことができる。次に不純物を導入していない多結晶シリコンにより高抵抗素子10を形成する。この多結晶シリコンは従来通りバイポーラCMOSSRAMのメモリセルの高抵抗素子とエミッタ電極を共用することができる。

第2図は本発明の第2実施例の縦断面図である。4は転送用MOSFETのゲート電極、5は駆動用MOSFETのゲート電極である。駆動用MOSFETゲート5と不純物を含まない多結晶シリ

コン膜で形成された高抵抗素子10との接続部8と電源配線14との接続部8'の両方に不純物拡散を抑制するSIPOS膜9が設けられている。本実施例では高抵抗素子10の両端にSIPOS膜9が設けられているので第1実施例よりも抵抗長を短くできさらに、SRAMのセルを縮小することが可能になる。

[発明の効果]

以上説明したように本発明は、駆動用MOSFETのゲート電極と高抵抗素子との接続部に不純物の拡散を抑制する多結晶シリコン膜をPR工程を増加させず設けることにより、SRAMセルの面積を従来の1/2以下にすることができる。またバイポーラCMOSSRAMにおいても高抵抗素子と、バイポーラトランジスタのエミッタ電極を従来通り同一の多結晶シリコンを用いて形成でき、かつメモリセル面積の縮小が可能となる。

4. 図面の簡単な説明

第1図は本発明の第1実施例を示す縦断面図、第2図は本発明の第2実施例を示す縦断面図、第3図は第2実施例の平面図、第4図(a)(b)は第1実施例の製造方法を示す断面図、第5図はSIPOSの不純物の拡散を示すグラフである。

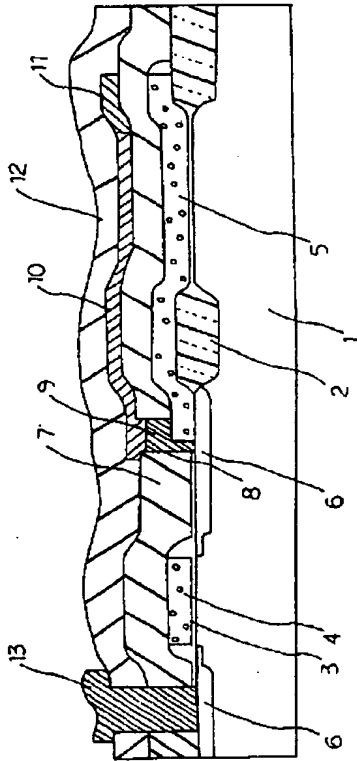
- 1・・・・・・P型基板、
- 2・・・・・・フィールド酸化膜、
- 3・・・・・・ゲート酸化膜、
- 4・・・・・・転送用MOSFETゲート電極、
- 5・・・・・・駆動用MOSFETゲート電極、
- 6・・・・・・n⁺ソース・ドレイン、
- 8・・・・・・ゲート-高抵抗素子接続窓、
- 9・・・・・・SIPOS、
- 10・・・・・・高抵抗多結晶シリコン膜、
- 11・・・・・・多結晶シリコン電源配線部、
- 7, 12, 15・・・・・・層間絶縁膜、
- 13・・・・・・引出し電極、
- 14・・・・・・電源(VCC)配線、
- 16・・・・・・ダイレクトコンタクト窓、

17・・・・・・接地配線、

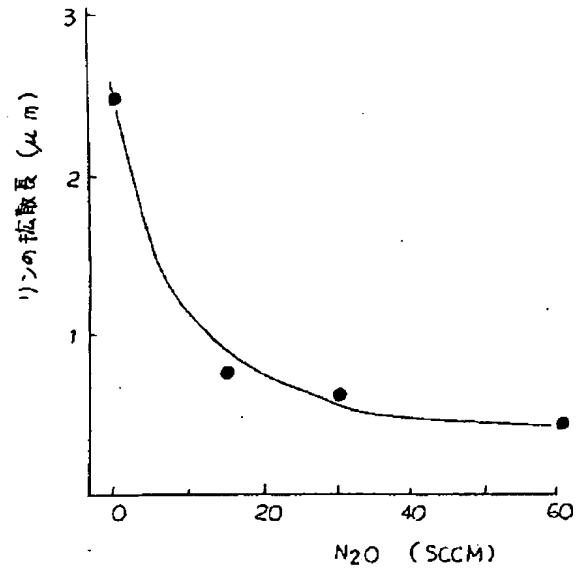
18, 19・・・・・・コンタクト窓。

特許出願人 日本電気株式会社

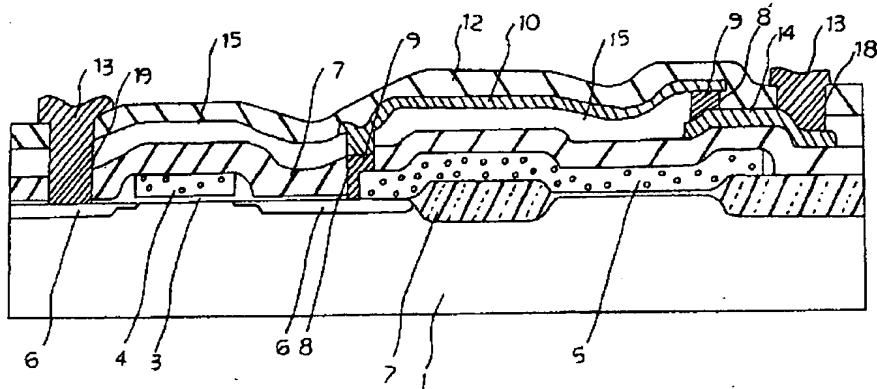
代理人 弁理士 桑 井 清 一



第1図

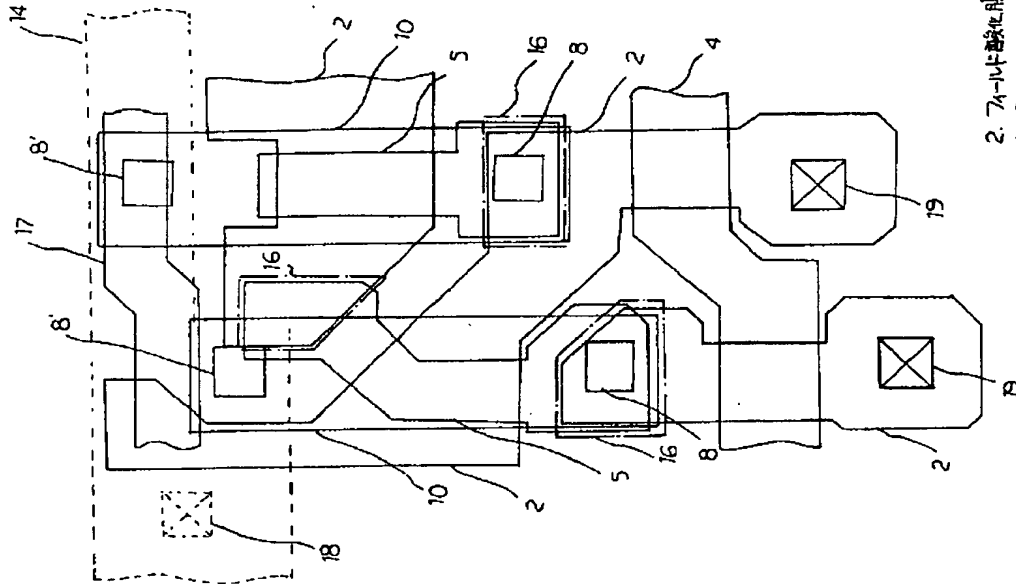


第5図



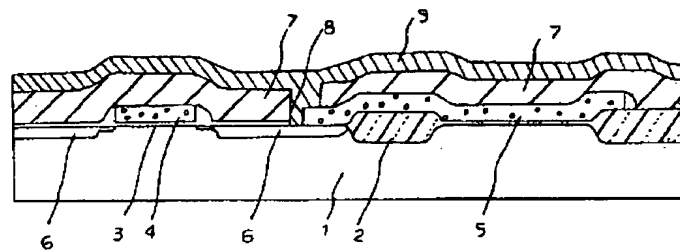
- | | |
|------------------|----------------|
| 1. p型基板 | 10. 高抵抗の結晶シリコン |
| 2. フィールド酸化膜 | 11. 14. 電源配線 |
| 3. ゲート酸化膜 | 18. 19. コンタクト |
| 4. 駆動MOSゲート | |
| 5. 駆動MOSゲート | |
| 6. n+ポリシリコン | |
| 7. 12. 15. 層間絶縁膜 | |
| 8. ゲート局所抗接点 | |
| 9. SIPOS | |

第2図

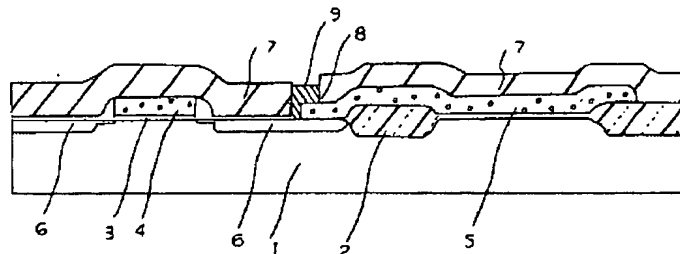


- 2. 7-11μm酸化膜 18, 19. コンタクト
- 4. 第2層MOSゲート
- 5. 第1層MOSゲート
- 8. ゲート高抵抗接線定
- 10. 高抵抗ポリシリコン
- 16. ゲートコンタクト
- 17. 接地配線

第3図



(a)



(b)

第4図

- 1. P型基板
- 2. N+領域
- 3. ゲート酸化膜
- 4. 第2層MOSゲート
- 5. 第1層MOSゲート
- 6. n+ポリシリコン
- 7. 層間絶縁膜
- 8. ゲート高抵抗接線定
- 9. SIPOS